

APPLICATION
FOR
UNITED STATES LETTERS PATENT

TITLE: TESTING APPARATUS

APPLICANTS: Kenji INABA
Masashi MIYAZAKI

22511
PATENT TRADEMARK OFFICE

"EXPRESS MAIL" Mailing Label Number: EV 370765012 US

Date of Deposit: February 6, 2004

試験装置

発明の背景

1. 発明の分野

- 5 本発明は、試験装置に関する。特に本発明は、異なる種類の試験モジュールが選択的に搭載される試験モジュールスロットを複数備える試験装置に関する。

2. 関連技術の説明

- 被試験デバイスのアナログ試験を行う試験装置では、一の試験モジュールが試験信号を発生して被試験デバイスに供給し、また他の試験モジュールが被試験デバイスの出力信号を測定することにより、被試験デバイスの試験を行う。
- 10 このような試験モジュールの動作を実現させるため、試験装置は、試験モジュールの動作順序等の試験シーケンスが規定された試験プログラムに基づいて試験モジュールにトリガ信号を供給し、試験モジュールの同期制御を行っている。
- 15 近年、被試験デバイスを試験するための異なる種類の試験信号をそれぞれ生成する異なる種類の試験モジュールが選択的に搭載される試験モジュールスロットを複数備える試験装置が開発されている。このような試験装置においては、複数の試験モジュールスロットのそれぞれに搭載される試験モジュールが任意に変更され、また試験モジュール毎に試験動作に要する時間が異なるため、試験モジュールが入れ替えられるたびに試験モジュールの搭載位置や試験モジュールの組み合わせに応じて試験プログラムを作成しなければならず、非常に面倒な試験のための準備過程が必要であった。
- 20

発明の概要

25

本発明は、上記の課題を解決することができる試験装置を提供することを目的とする。この目的は請求の範囲における独立項に記載の特徴の組み合わせにより達成される。また従属項は本発明の更なる有利な具体例を規定する。

即ち、本発明の第1の形態によると、被試験デバイスを試験する異なる種類の試験モジュールが選択的に搭載される試験モジュールスロットを複数備える試験装置であって、複数の試験モジュールのうちの第1の試験モジュールによる試験動作の次に、複数の試験モジュールのうちの第2の試験モジュールによる試験動作を行わせるべきことを示す情報を保持する動作順序保持手段と、第1の試験モジュールの試験動作が完了した場合に、第1の試験モジュールが試験動作を完了したことを示すトリガリターン信号を第1の試験モジュールから受け取るトリガリターン信号受取手段と、トリガリターン信号受取手段がトリガリターン信号を受け取った場合に、第2の試験モジュールが試験動作を開始すべきことを示すトリガ信号を第2の試験モジュールに供給するトリガ信号供給手段とを備える。

第1の試験モジュールは、任意のアナログ波形を生成して被試験デバイスに供給する任意波形整形器であり、第2の試験モジュールは、任意波形整形器から供給されたアナログ波形に応じて被試験デバイスが出力するアナログ波形を取り込み、アナログ波形の位相特性を試験する位相特性試験器であり、動作順序保持手段は、任意波形整形器による被試験デバイスへのアナログ波形の供給動作の次に、位相特性試験器による被試験デバイスからのアナログ波形の取込動作を行わせるべきことを示す情報を保持し、トリガリターン信号受取手段は、任意波形整形器による予め定められた時間のアナログ波形の供給動作が完了した場合に、任意波形整形器が供給動作を完了したことを示すトリガリターン信号を任意波形整形器から受け取り、トリガ信号供給手段は、トリガリターン信号受取手段がトリガリターン信号を受け取った場合に、位相特性試験器が被試験デバイスからのアナログ波形の取込動作を開始すべきことを示すトリガ信号を位相特性試験器に供給してもよい。

トリガリターン信号受取手段及びトリガ信号供給手段は、複数の試験モジュールのそれぞれから複数のトリガリターン信号をそれぞれ取得し、複数のトリガリターン信号から第1の試験モジュールから取得したトリガリターン信号を選択してトリガ信号として第2の試験モジュールに供給するマルチプレクサ回

路であり、動作順序保持手段は、マルチプレクサ回路によるトリガリターン信号の選択を制御するセレクト信号を保持するフリップフロップ回路であってもよい。

- 第1の試験モジュールは、並行して第1の試験動作及び第2の試験動作を行い、動作順序保持手段は、第1の試験モジュールによる第1の試験動作の次に、第2の試験モジュールによる試験動作を行わせるべきことを示す情報、及び第1の試験モジュールによる第2の試験動作の次に、複数の試験モジュールうちの第3の試験モジュールによる試験動作を行わせるべきことを示す情報を保持し、トリガリターン信号受取手段は、第1の試験モジュールの第1の試験動作が完了した場合に、第1の試験モジュールが第1の試験動作を完了したことを示す第1のトリガリターン信号を第1の試験モジュールから受け取り、第1の試験モジュールの第2の試験動作が完了した場合に、第1の試験モジュールが第2の試験動作を完了したことを示す第2のトリガリターン信号を第1の試験モジュールから受け取り、トリガ信号供給手段は、トリガリターン信号受取手段が第1のトリガリターン信号を受け取った場合に、第2の試験モジュールが試験動作を開始すべきことを示す第1のトリガ信号を第2の試験モジュールに供給し、トリガリターン信号受取手段が第2のトリガリターン信号を受け取った場合に、第3の試験モジュールが試験動作を開始すべきことを示す第2のトリガ信号を第3の試験モジュールに供給してもよい。
- なお上記の発明の概要は、本発明の必要な特徴の全てを列挙したものではなく、これらの特徴群のサブコンビネーションも又発明となりうる。

図面の簡単な説明

- 図1は、本発明の一実施形態に係る試験装置100の構成の一例を示す。
図2は、本実施形態に係る試験装置100の具体的な構成の一例を示す。
図3は、本実施形態に係る試験装置100の動作シーケンスの一例を示す。
図4は、本実施形態に係るトリガマトリックス206の構成の一例を示す。

発明の詳細な説明

以下、発明の実施形態を通じて本発明を説明するが、以下の実施形態は特許
5 請求の範囲に係る発明を限定するものではなく、また実施形態の中で説明され
ている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

図1は、本発明の一実施形態に係る試験装置100の構成の一例を示す。試験
装置100は、統括制御装置102、サイト制御装置104、アナログ同期
回路制御部106、デジタル同期制御部108、複数のアナログ試験モジュール110、及び複数のデジタル試験モジュール112を備える。アナログ試験
10 モジュール110及びデジタル試験モジュール112は、本発明の試験モジュールの一例である。

試験装置100は、試験信号を生成して被試験デバイス120に供給し、被
試験デバイス120が試験信号に基づいて動作した結果出力する出力信号を取
15 得し、出力信号に基づいて被試験デバイス120の良否を判断する。試験装置
100は、オープンアーキテクチャにより実現され、被試験デバイス120に
試験信号を供給するアナログ試験モジュール110又はデジタル試験モジュール112として、オープンアーキテクチャに基づくモジュールが用いられる。
即ち、複数の試験モジュールスロットには、被試験デバイス120を試験する
20 ための異なる種類の試験信号をそれぞれ生成する異なる種類のアナログ試験モ
ジュール110又はデジタル試験モジュール112が選択的に搭載される。

統括制御装置102は、試験装置100が被試験デバイス120の試験に用
いる試験制御プログラム、試験プログラム、及び試験データ等を外部のネット
ワーク等を介して取得して格納する。サイト制御装置104は、アナログ試験
25 モジュール110及びデジタル試験モジュール112を制御し、複数の被試験
デバイス120のそれぞれを並行して同時に試験する。サイト制御装置104
とアナログ試験モジュール110及びデジタル試験モジュール112との接続
関係は、被試験デバイス120のピンの数、パフォーマンスボードの配線の形

態、アナログ試験モジュール１１０及びデジタル試験モジュール１１２の種類等に応じて切り換えられる。即ち、複数のサイト制御装置１０４のそれぞれは、複数のアナログ試験モジュール１１０及び複数のデジタル試験モジュール１１２を、サイト制御装置１０４の数のサイトに分割し、それぞれのサイトに含まれるアナログ試験モジュール１１０又はデジタル試験モジュール１１２の動作を制御することにより、被試験デバイス１２０の性能に応じて異なる試験シーケンスを実行する。

サイト制御装置１０４は、統括制御装置１０２から試験制御プログラムを取得して実行する。そして、サイト制御装置１０４は、試験制御プログラムに基づいて、被試験デバイス１２０の試験に用いる試験プログラム及び試験データを統括制御装置１０２から取得し、被試験デバイス１２０のそれぞれの試験に用いるアナログ試験モジュール１１０又はデジタル試験モジュール１１２に供給させる。次に、サイト制御装置１０４は、トリガ信号及びクロック信号をアナログ同期回路制御部１０６からアナログ試験モジュール１１０又はデジタル試験モジュール１１２に供給することにより、試験プログラム及び試験データに基づく試験の開始をアナログ試験モジュール１１０又はデジタル試験モジュール１１２に指示する。そして、サイト制御装置１０４は、試験が終了したことを示す割込み等を、例えばアナログ同期回路制御部１０６又はデジタル同期制御部１０８から受け取り、統括制御装置１０２に通知する。

アナログ同期回路制御部１０６は、サイト制御装置１０４の制御に基づいて、アナログ試験モジュール１１０による試験シーケンスの制御を行う。例えば、アナログ同期回路制御部１０６は、被試験デバイス１２０の試験動作を開始させるためのトリガ信号、及び被試験デバイス１２０の試験動作を制御するためのクロック信号をアナログ試験モジュール１１０に供給し、またアナログ試験モジュール１１０の試験動作が完了したことを示すトリガリターン信号をアナログ試験モジュール１１０から受け取る。また、アナログ同期回路制御部１０６とデジタル同期制御部１０８とは、互いにトリガリターン信号を受け渡してもよい。例えば、デジタル同期制御部１０８は、デジタル試験モジュール１１

2から受け取ったトリガリターン信号をアナログ同期回路制御部106に受け渡し、アナログ同期回路制御部106は、デジタル同期制御部108から受け取ったトリガリターン信号に基づいて、アナログ試験モジュール110にトリガ信号を供給してもよい。

- 5 具体的には、アナログ同期回路制御部106は、本発明の動作順序保持手段としての機能を有し、複数のアナログ試験モジュール110のうちの第1のアナログ試験モジュール110による試験動作の次に、第1のアナログ試験モジュール110の第2のアナログ試験モジュール110による試験動作を行わせるべきことを示す情報を保持する。例えば、アナログ同期回路制御部106は、
10 第1のアナログ試験モジュール110からトリガリターン信号を受け取ると第2のアナログ試験モジュール110にトリガ信号を供給するように、被試験デバイス120の試験が開始される前に予めハードウェアにより設定されている。そして、アナログ同期回路制御部106は、本発明のトリガリターン信号受取手段としての機能を有し、第1のアナログ試験モジュール110の試験動作が
15 完了した場合に、第1のアナログ試験モジュール110が試験動作を完了したことを示すトリガリターン信号を第1のアナログ試験モジュール110から受け取る。そして、アナログ同期回路制御部106は、本発明のトリガ供給手段としての機能を有し、トリガリターン信号受取手段がトリガリターン信号を受け取った場合に、第2のアナログ試験モジュール110が試験動作を開始すべきことを示すトリガ信号を第2のアナログ試験モジュール110に供給する。
20

- また、アナログ試験モジュール110が、一又は複数の被試験デバイス120に対して、種類の異なる複数の試験動作を並行して行う試験モジュールである場合には、アナログ同期回路制御部106は、次のように動作してもよい。アナログ同期回路制御部106は、本発明の動作順序保持手段としての機能を
25 有し、第1のアナログ試験モジュール110による第1の試験動作の次に、第2のアナログ試験モジュール110による試験動作を行わせるべきことを示す情報、及び第1のアナログ試験モジュール110による第2の試験動作の次に、第3のアナログ試験モジュール110による試験動作を行わせるべきことを示

す情報を保持する。そして、アナログ同期回路制御部１０６は、本発明のトリ
ガリターン信号受取手段としての機能を有し、第１のアナログ試験モジュール
１１０の第１の試験動作が完了した場合に、第１のアナログ試験モジュール１
１０が第１の試験動作を完了したことを示す第１のトリガリターン信号を第１
５ のアナログ試験モジュール１１０から受け取り、第１のアナログ試験モジュール
１１０の第２の試験動作が完了した場合に、第１のアナログ試験モジュール
１１０が第２の試験動作を完了したことを示す第２のトリガリターン信号を第
１のアナログ試験モジュール１１０試験モジュールから受け取る。そして、ア
ナログ同期回路制御部１０６は、本発明のトリガ信号供給手段としての機能を
１０ を有し、トリガリターン信号受取手段が第１のトリガリターン信号を受け取った
場合に、第２のアナログ試験モジュール１１０が試験動作を開始すべきことを
示す第１のトリガ信号を第２のアナログ試験モジュール１１０に供給し、トリ
ガリターン信号受取手段が第２のトリガリターン信号を受け取った場合に、第
３のアナログ試験モジュール１１０が試験動作を開始すべきことを示す第２の
１５ トリガ信号を第３のアナログ試験モジュール１１０に供給する。

以上のように、本実施形態に係る試験装置１００によれば、アナログ同期回
路制御部１０６が予めハードウェアにより設定され、試験動作中においては、
所定のアナログ試験モジュール１１０又はデジタル試験モジュール１１２から
受け取ったトリガリターン信号に応じて所定のアナログ試験モジュール１１０
２０ にトリガ信号を供給することにより、所定のアナログ試験モジュール１１０の
動作を開始させることができ、所望の順序で複数のアナログ試験モジュール１
１０及びデジタル試験モジュール１１２を動作させることができる。そのため、
複数の試験モジュールスロットのそれぞれに搭載されるアナログ試験モジュール
１１０及びデジタル試験モジュール１１２が任意に変更された場合にであつ
２５ ても、試験モジュールの搭載位置や試験モジュールの組み合わせに応じた試験
プログラムを作成する手間を省き、被試験デバイスの試験に要する時間を短縮
することができる。なお、デジタル同期制御部１０８は、上述のアナログ同期
回路制御部１０６と同様の機能を有することにより、デジタル試験モジュール

112の試験動作を制御してもよい。

図2は、本実施形態に係る試験装置100の具体的な構成の一例を示す。試験装置100は、アナログ試験モジュール110の一例として、任意波形整形器110a及び位相特性試験器110bを有し、デジタル試験モジュール112の一例としてパターン発生器112aを備える。アナログ同期回路制御部106は、リファレンスクロック発生部200、可変クロック発生部202、クロックマトリックス204、及びトリガマトリックス206を有する。

任意波形整形器110aは、アナログ同期回路制御部106の制御に基づいて、任意のアナログ波形を生成して被試験デバイス120に供給する。また、位相特性試験器110bは、アナログ同期回路制御部106の制御に基づいて、任意波形整形器110aから供給されたアナログ波形に応じて被試験デバイス120が出力するアナログ波形を取り込み、アナログ波形の位相特性を試験する。任意波形整形器110a及び位相特性試験器110bは、PLL (Phase Locked Loop) 回路を有し、リファレンスクロック発生部200が発生したリファレンスクロックに基づいて内部クロックを発生して動作する。パターン発生器112aは、デジタル同期制御部108の制御に基づいて、デジタルパターンを発生して被試験デバイス120に供給することにより、被試験デバイス120の設定を行う。

クロックマトリックス204は、被試験デバイス120の試験が開始される前に予めハードウェア設定がなされ、入力と出力との接続が決定される。即ち、可変クロック発生部202、デジタル同期制御部108、パフォーマンスボード等から受け取ったクロック信号のいずれを任意波形整形器110a又は位相特性試験器110bに供給するかが決定される。また、トリガマトリックス206は、被試験デバイス120の試験が開始される前に予めハードウェア設定がなされ、入力と出力との接続が決定される。即ち、任意波形整形器110a、位相特性試験器110b、パターン発生器112a等のいずれからトリガリターン信号を受け取った場合に、任意波形整形器110a又は位相特性試験器110bにトリガ信号を供給するかが決定される。

即ち、トリガマトリックス206は、本発明の動作順序保持手段としての機能を有し、例えば任意波形整形器110aによる被試験デバイス120へのアナログ波形の供給動作の次に、位相特性試験器110bによる被試験デバイス120からのアナログ波形の取込動作を行わせるべきことを示す情報を保持する。そして、トリガマトリックス206は、本発明のトリガリターン信号受取手段としての機能を有し、任意波形整形器110aによる予め定められた時間のアナログ波形の供給動作が完了した場合に、任意波形整形器110aが供給動作を完了したことを示すトリガリターン信号を任意波形整形器110aから受け取る。そして、トリガマトリックス206は、本発明のトリガ信号供給手段としての機能を有し、トリガリターン信号受取手段がトリガリターン信号を受け取った場合に、位相特性試験器110bが被試験デバイス120からのアナログ波形の取込動作を開始すべきことを示すトリガ信号を位相特性試験器110bに供給する。

以上のように、トリガリターン信号及びトリガ信号のやり取りによって任意波形整形器110aと位相特性試験器110bとの動作を順次制御することによって、例えば任意波形整形器110aによる被試験デバイス120へのアナログ波形の印加に遅延が生じた場合であっても、任意波形整形器110aからのトリガリターン信号が発生しない限り位相特性試験器110bはアナログ波形の取り込みを開始しないため、任意波形整形器110aによるアナログ波形の印加が完了する前に位相特性試験器110bがアナログ波形の取り込みを開始するような試験シーケンスの乱れが発生することがなく、適正な順序及びタイミングで、任意波形整形器110a及び位相特性試験器110bを動作させることができる。

図3は、本実施形態に係る試験装置100の動作シーケンスの一例を示す。まず、リファレンスクロック発生部200は、任意波形整形器110a及び位相特性試験器110bにリファレンスクロックを印加することにより、任意波形整形器110a及び位相特性試験器110bを動作可能な状態とする。このとき、任意波形整形器110aは、トリガ信号の一例であるスタート信号の待

ち状態となり、位相特性試験器 110b は、トリガ信号の待ち状態となる。

次に、パターン発生器 112a は、デジタル同期制御部 108 の制御に基づいて、デジタルパターンを発生して被試験デバイス 120 に供給し、被試験デバイス 120 のセットアップを行う。パターン発生器 112a は、被試験デバイス 120 のセットアップが終了すると待ち状態となる。一方、任意波形整形器 110a は、デジタル同期制御部 108 からトリガマトリックス 206 を介してスタート信号が供給されると、パターンメモリに格納されたアナログ波形を発生し、被試験デバイス 120 に対して供給を開始する。そして、任意波形整形器 110a は、アナログ波形を被試験デバイス 120 に予め定められた所定の時間の供給動作が完了した場合に、トリガリターン信号の一例であるマーカ信号をトリガマトリックス 206 に供給する。トリガマトリックス 206 は、任意波形整形器 110a からマーカ信号を受け取ると、位相特性試験器 110b に対してトリガ信号を供給する。

そして、位相特性試験器 110b は、トリガマトリックス 206 からトリガ信号を受け取ると、任意波形整形器 110a から供給されたアナログ波形に応じて被試験デバイス 120 が出力するアナログ波形を取り込む。位相特性試験器 110b は、被試験デバイス 120 が出力するアナログ波形の取込動作が完了すると、トリガリターン信号の一例であるキャプチャーエンド信号をトリガマトリックス 206 に供給する。そして、トリガマトリックス 206 は、位相特性試験器 110b からキャプチャーエンド信号を受け取ると、デジタル同期制御部 108 に対してコンティニュー信号を供給する。デジタル同期制御部 108 は、コンティニュー信号を受け取ると、パターン発生器 112a に新たなデジタル信号を発生させ、被試験デバイス 120 のセットアップを行わせる。パターン発生器 112a は、被試験デバイス 120 のセットアップが終了すると待ち状態となる。また、デジタル同期制御部 108 は、トリガマトリックス 206 からキャプチャーエンド信号を受け取ると、トリガリターン信号の一例であるアドバンス信号をトリガマトリックス 206 に供給する。トリガマトリックス 206 は、デジタル同期制御部 108 からアドバンス信号を受け取ると、

位相特性試験器 110 a に対してトリガ信号の一例であるアドバンス信号を供給する。

- そして、任意波形整形器 110 a は、トリガマトリックス 206 からアドバンス信号を受け取ると、パターンメモリに格納された次のアナログ波形を発生
- 5 することによりアナログ波形を切り替え、被試験デバイス 120 に対して供給を開始する。以上のように、パターン発生器 112 a によるセットアップ動作、任意波形整形器 110 a による供給動作、及び位相特性試験器 110 b による取込動作を順次繰り返すことにより、複数の異なるアナログ波形にそれぞれ対応して、被試験デバイス 120 の出力波形を位相特性試験器 110 b に取り込
- 10 んでいく。そして、位相特性試験器 110 b は、予め定められた所定の回数の出力波形を取り込むと、サイト制御装置 104 に対して割り込みを発生して試験シーケンスの終了を通知する。そして、サイト制御装置 104 は、任意波形整形器 110 a による試験デバイス 120 へのアナログ波形の供給を停止させ、デジタル同期制御部 108 の動作を停止させ、パターン発生器 112 a による
- 15 被試験デバイス 120 へのデジタルパターンの供給を停止させる。そして、サイト制御装置 104 は、リファレンスクロック発生部 200 による任意波形整形器 110 a 及び位相特性試験器 110 b へのリファレンスクロックの供給を停止させる。

- 以上のように、トリガマトリックス 206 は、予め定められたハードウェア
- 20 設定に基づいて、任意波形整形器 110 a、位相特性試験器 110 b、パターン発生器 112 a、又はデジタル同期制御部 108 に対するスタート信号、マーカ信号、トリガ信号、キャプチャーエンド信号、コンティニュー信号、又はアドバンス信号のやり取りを行う。これにより、本実施形態に係る試験装置 100 は、任意波形整形器 110 a、位相特性試験器 110 b、及びパターン発生器 112 a の動作順序が規定されていない試験プログラムに基づいて、所望の順序で任意波形整形器 110 a、位相特性試験器 110 b、及びパターン発生器 112 a を動作させることができる。
- 25

図 4 は、本実施形態に係るトリガマトリックス 206 の構成の一例を示す。

トリガマトリックス 206 は、複数のトリガ制御モジュール 400 を有する。
トリガ制御モジュール 400 は、マルチプレクサ回路 402、プライオリティ
エンコーダ 404、及びフリップフロップ回路 406 を含む。複数のトリガ制
御モジュール 400 のそれぞれは、任意波形整形器 110 a 及び位相特性試験
器 110 b 等の複数のアナログ試験モジュール 110 のそれぞれに接続され、
5 供給されたトリガリターン信号に応じて、複数のアナログ試験モジュール 110 のそれぞれにトリガ信号を供給する。

まず、被試験デバイス 120 の試験が開始される前におけるトリガ制御モジュール 400 のハードウェア設定について説明する。サイト制御装置 104 の
10 命令に基づいてトリガリターン信号ソースの少なくとも 1 つによってステータス信号がトリガ制御モジュール 400 に供給されると、プライオリティエンコーダ 404 は、複数のトリガリターン信号ソースから複数のインターフェースをそれぞれ介して供給された信号を取り込み、トリガリターン信号ソースのうちのいずれがステータス信号を供給しているかを示すステータス情報を算出し
15 てフリップフロップ回路 406 に供給する。また、サイト制御装置 104 の命令に基づいて任意波形整形器 110 a によってイネーブル信号がフリップフロップ回路 406 に供給され、サイト制御装置 104 からフリップフロップ回路 406 に設定要求信号が供給されると、フリップフロップ回路 406 は、設定要求信号に基づいて、設定要求信号が供給されたときにプライオリティエンコーダ 404 から供給されているステータス情報を、マルチプレクサ回路 402
20 による制御信号の選択を制御するセレクト信号として保持する。これにより、トリガ制御モジュール 400 のハードウェア設定がなされ、入力と出力との接続が決定される。ここで、トリガリターン信号ソースとは、例えばデジタル同期制御部 108、任意波形整形器 110 a、位相特性試験器 110 b、パフォーマンスボード等である。
25

次に、被試験デバイス 120 の試験動作中におけるトリガ制御モジュール 400 の動作について説明する。フリップフロップ回路 406 は、上述のように試験開始前に保持したステータス情報をセレクト信号としてマルチプレクサ回

- 路４０２に供給する。そして、マルチプレクサ回路４０２は、本発明のトリガリターン信号受取手段として機能し、サイト制御装置１０４の命令に基づいて複数のトリガリターン信号ソースのそれぞれから供給された複数のトリガリターン信号をそれぞれ取得する。そして、マルチプレクサ回路４０２は、本発明
- ５ のトリガ信号供給手段として機能し、フリップフロップ回路４０６から供給されたセレクト信号に基づいて、トリガリターン信号ソースのそれぞれから複数のトリガリターン信号からデジタル同期制御部１０８又は位相特性試験器１１０ｂから取得したトリガリターン信号を選択してトリガ信号として任意波形整形器１１０ａに供給する。
- １０ 本実施形態に係るトリガ制御モジュール４００によれば、被試験デバイス１２０の試験開始前に、プライオリティエンコーダ４０４にステータス情報を生成させてフリップフロップ回路４０６にセレクト信号として保持させることによりトリガ制御モジュール４００のハードウェア設定を行い、任意波形整形器１１０ａ及び位相特性試験器１１０ｂに応じたトリガリターン信号ソースを適
- １５ 切に選択させて試験動作を行うことができる。
- 以上、実施形態を用いて本発明を説明したが、本発明の技術的範囲は上記実施形態に記載の範囲には限定されない。上記実施形態に、多様な変更又は改良を加えることができる。そのような変更又は改良を加えた形態も本発明の技術的範囲に含まれ得ることが、特許請求の範囲の記載から明らかである。

請求の範囲

1. 被試験デバイスを試験する異なる種類の試験モジュールが選択的に搭載される試験モジュールスロットを複数備える試験装置であって、

- 5 前記複数の試験モジュールのうちの第1の試験モジュールによる試験動作の次に、前記複数の試験モジュールのうちの第2の試験モジュールによる試験動作を行わせるべきことを示す情報を保持する動作順序保持手段と、

前記第1の試験モジュールの試験動作が完了した場合に、前記第1の試験モジュールが試験動作を完了したことを示すトリガターン信号を前記第1の試

- 10 験モジュールから受け取るトリガターン信号受取手段と、

前記トリガターン信号受取手段が前記トリガターン信号を受け取った場合に、前記第2の試験モジュールが試験動作を開始すべきことを示すトリガ信号を前記第2の試験モジュールに供給するトリガ信号供給手段とを備える試験装置。

- 15 2. 前記第1の試験モジュールは、任意のアナログ波形を生成して前記被試験デバイスに供給する任意波形整形器であり、

前記第2の試験モジュールは、前記任意波形整形器から供給された前記アナログ波形に応じて前記被試験デバイスが出力するアナログ波形を取り込み、前記アナログ波形の位相特性を試験する位相特性試験器であり、

- 20 前記動作順序保持手段は、前記任意波形整形器による前記被試験デバイスへの前記アナログ波形の供給動作の次に、前記位相特性試験器による前記被試験デバイスからの前記アナログ波形の取込動作を行わせるべきことを示す情報を保持し、

- 25 前記トリガターン信号受取手段は、前記任意波形整形器による予め定められた時間の前記アナログ波形の供給動作が完了した場合に、前記任意波形整形器が供給動作を完了したことを示す前記トリガターン信号を前記任意波形整形器から受け取り、

前記トリガ信号供給手段は、前記トリガターン信号受取手段が前記トリガ

リターン信号を受け取った場合に、前記位相特性試験器が前記被試験デバイスからの前記アナログ波形の取込動作を開始すべきことを示す前記トリガ信号を前記位相特性試験器に供給する請求項 1 に記載の試験装置。

3. 前記トリガリターン信号受取手段及び前記トリガ信号供給手段は、前記
5 複数の試験モジュールのそれぞれから複数の前記トリガリターン信号をそれぞれ取得し、前記複数のトリガリターン信号から前記第 1 の試験モジュールから取得した前記トリガリターン信号を選択して前記トリガ信号として前記第 2 の試験モジュールに供給するマルチプレクサ回路であり、

- 前記動作順序保持手段は、前記マルチプレクサ回路による前記トリガリターン
10 ン信号の選択を制御するセレクト信号を保持するフリップフロップ回路である請求項 1 に記載の試験装置。

4. 前記第 1 の試験モジュールは、並行して第 1 の試験動作及び第 2 の試験動作を行い、

- 前記動作順序保持手段は、前記第 1 の試験モジュールによる前記第 1 の試験
15 動作の次に、前記第 2 の試験モジュールによる試験動作を行わせるべきことを示す情報、及び前記第 1 の試験モジュールによる前記第 2 の試験動作の次に、前記複数の試験モジュールうちの第 3 の試験モジュールによる試験動作を行わせるべきことを示す情報を保持し、

- 前記トリガリターン信号受取手段は、前記第 1 の試験モジュールの前記第 1
20 の試験動作が完了した場合に、前記第 1 の試験モジュールが前記第 1 の試験動作を完了したことを示す第 1 のトリガリターン信号を前記第 1 の試験モジュールから受け取り、前記第 1 の試験モジュールの前記第 2 の試験動作が完了した場合に、前記第 1 の試験モジュールが前記第 2 の試験動作を完了したことを示す第 2 のトリガリターン信号を前記第 1 の試験モジュールから受け取り、

- 25 前記トリガ信号供給手段は、前記トリガリターン信号受取手段が前記第 1 のトリガリターン信号を受け取った場合に、前記第 2 の試験モジュールが試験動作を開始すべきことを示す第 1 のトリガ信号を前記第 2 の試験モジュールに供給し、前記トリガリターン信号受取手段が前記第 2 のトリガリターン信号を受

け取った場合に、前記第 3 の試験モジュールが試験動作を開始すべきことを示す第 2 のトリガ信号を前記第 3 の試験モジュールに供給する請求項 1 に記載の試験装置。

要約書

- 被試験デバイスを試験する異なる種類の試験モジュールが選択的に搭載される試験モジュールスロットを複数備える試験装置であって、複数の試験モジュールのうちの第1の試験モジュールによる試験動作の次に、複数の試験モジュールのうちの第2の試験モジュールによる試験動作を行わせるべきことを示す情報を保持する動作順序保持手段と、第1の試験モジュールの試験動作が完了した場合に、第1の試験モジュールが試験動作を完了したことを示すトリガリターン信号を第1の試験モジュールから受け取るトリガリターン信号受取手段と、トリガリターン信号受取手段がトリガリターン信号を受け取った場合に、第2の試験モジュールが試験動作を開始すべきことを示すトリガ信号を第2の試験モジュールに供給するトリガ信号供給手段とを備える。
- 5
- 10